

⑥

Cite No. /

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-207415

(43)Date of publication of application : 07.08.1998

(51)Int.Cl. G09G 3/20
 G09G 3/36
 H04N 5/06
 H04N 5/66
 // H03L 7/06

(21)Application number : 09-009531

(71)Applicant : SONY CORP

(22)Date of filing : 22.01.1997

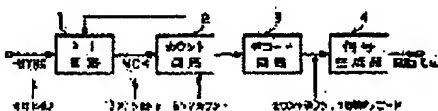
(72)Inventor : HIRANO MASUMI

(54) TIMING SIGNAL GENERATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a timing signal generator capable of eliminating the unnecessary emission of a master clock and reducing production costs.

SOLUTION: A PLL circuit 1 generates, in synchronization with the horizontal synchronous signal (about 48kHz) of a video signal, a master clock MCK2 (about 32.5MHz) obtained by frequency-dividing the horizontal synchronous signal by 672. Here, the PLL circuit 1 generates a master clock MCK2 having a frequency half a normally generated master clock MCK1 of about 65 frequency. For a counter circuit 2, compared with the case of counting the normal master clock MCK1, a counting speed is reduced by half and thus no high performance circuit is necessary.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-207415

(43) 公開日 平成10年(1998) 8月7日

(51) Int.Cl. ^a	識別記号	F I		
G 0 9 G	3/20	G 0 9 G	3/20	V
	3/38		3/38	
H 0 4 N	5/06	H 0 4 N	5/06	Z
	5/66		5/66	C
H 0 3 L	7/06	H 0 3 L	7/06	A
審査請求 未請求 請求項の数 1 O L (全 4 頁)				

(21) 出願番号 特願平9-9531

(22) 出願日 平成9年(1997) 1月22日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 平野 真澄

東京都品川区北品川6丁目7番35号 ソニー株式会社内

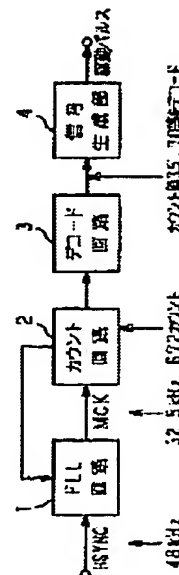
(74) 代理人 弁理士 小池 晃 (外2名)

(54) 【発明の名称】 タイミング信号発生装置

(57) 【要約】

【課題】 マスタークロックの不要輻射をなくして、かつ、生産コストを抑制することのできるタイミング信号発生装置を提供する。

【解決手段】 PLL回路1は、映像信号の水平同期信号(約4.8kHz)に同期して、この水平同期信号を例えば672分周したマスタークロックMCK2(約32.5MHz)を発生する。ここでは、PLL回路1は、通常発生する約6.5MHzのマスタークロックMCK1に比べて、半分の周波数のマスタークロックMCK2を発生する。カウント回路2は、通常のマスタークロックMCK1をカウントする場合に比べて、カウントする速度が半分になって、高性能のものをを用いなくても済む。



(2)

特開平10-207415

【特許請求の範囲】

【請求項1】 映像信号の同期信号に同期して、所定のマスタークロックを発生するマスタークロック発生手段と、
上記マスタークロック発生手段で発生したマスタークロックをカウントするカウンタと、
上記カウンタの所定のカウント値をデコードするデコーダと、
上記デコーダでデコードされた値に基づいてタイミング信号を発生するタイミング信号発生手段とを備え、
上記マスタークロック発生手段は、上記映像信号のM画素分の時間を1クロックとするマスタークロックを発生し、
上記デコーダは、上記映像信号の1画素分の時間を1クロックとしてカウントし、デコードする場合のカウント値の1/Mの値をデコードすることを特徴とするタイミング信号発生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、表示装置に所定のタイミング信号を供給するタイミング信号発生装置に関する。

【0002】

【従来の技術】 液晶表示装置等に用いるタイミング信号発生装置は、表示する信号1画素分の時間をマスタークロックの1クロックとしている。液晶表示装置は、その画素数の増加に伴い、1画素当たりの表示時間が短くなるとマスタークロックは高周波になる。従って、マスタークロックをカウントするカウンタには高速動作が要求されるようになる。

【0003】

【発明が解決しようとする課題】 したがって、これを集積回路で実現しようとする、動作周波数の高速化に伴い回路の消費電力が増大したり、あるいは一般的な半導体プロセスでは動作速度が不足して回路を実現することができないという問題が生じた。また、映像信号の入力ラインがパラレルに複数ある液晶表示装置においては、高周波のマスタークロックによって不要輻射が生じて、画質が劣化することがある。

【0004】 これに対して、動作速度が不足する回路をマスタークロックを分周して速度の遅いクロックを用いて動作させることが考えられるが、一部の回路だけ非同期となるため、正しく動作させるためには設計上特別な配慮が必要となる。また、動作速度の遅い高度な半導体プロセスを用いる方法もあるが、これは生産コストを増大させる問題が生じる。

【0005】 本発明は、このような問題点に鑑みてなされたものであり、マスタークロックの不要輻射をなくして、かつ、生産コストを抑制することのできるタイミング信号発生装置を提供することを目的とする。

【0006】

【課題を解決するための手段】 上述の課題を解決するために、本発明に係るタイミング信号発生装置は、映像信号の同期信号に同期して、所定のマスタークロックを発生するマスタークロック発生手段と、上記マスタークロック発生手段で発生したマスタークロックをカウントするカウンタと、上記カウンタの所定のカウント値をデコードするデコーダと、上記デコーダでデコードされた値に基づいてタイミング信号を発生するタイミング信号発生手段とを備え、上記マスタークロック発生手段は、上記映像信号のM画素分の時間を1クロックとするマスタークロックを発生し、上記デコーダは、上記映像信号の1画素分の時間を1クロックとしてカウントし、デコードする場合のカウント値の1/Mの値をデコードすることを特徴とする。

【0007】 そして、上記タイミング信号発生装置は、映像信号の1画素分の時間を1クロックとしたマスタークロックよりも低い周波数のマスタークロックを用いてタイミング信号を発生することができ、不要輻射をなくして映像にノイズがのるのを防止するとともに、生産コストを抑えることができる。

【0008】

【発明の実施の形態】 以下、本発明の実施の形態について、図面を参照しながら説明する。本発明は、LCD (Liquid Crystal Display) に所定の駆動信号を供給するためのタイミング信号発生装置である。

【0009】 本発明に係るタイミング信号発生装置は、図1に示すように、映像信号の水平同期信号に同期してマスタークロックを生成するPLL (Phase Locked Loop) 回路1と、上記マスタークロックを所定数カウントするカウンタ回路2と、所定のカウンタ値をデコードしてパルスが発生するデコード回路3と、デコード回路3からのパルスにより駆動信号を生成する信号生成部4とを備え、これらの各回路からなる1個の集積回路となっている。

【0010】 PLL回路1は、映像信号の水平同期信号(約4.8KHz)に同期して、この水平同期信号を例えば672分周したマスタークロックMCK2(約32.5MHz)を発生する。ここでは、PLL回路1は、通常発生する約65MHzのマスタークロックMCK1に比べて、半分の周波数のマスタークロックMCK2を発生する。

【0011】 カウンタ回路2は、PLL回路1で発生したマスタークロックMCK2を672カウントするとリセットして、再び672カウントすることを繰り返すようになっている。従って、カウンタ回路2は、通常のマスタークロックMCK1をカウントする場合に比べて、カウントする速度が半分になって、高性能のものをを用いなくても済む。

【0012】 デコード回路3は、図2に示すように、通

(3)

特開平10-207415

常のマスタークロックMCK 1を例えばカウント値70、140でデコードする場合に対して、その半分の周波数であるマスタークロックMCK 2をカウント値35、70でデコードする。ここで、通常のマスタークロックMCK 1に対するカウント及びデコードは、すべて偶数でカウント値をデコードするようになっている。これは、画素数が固定されたLCDにおいては、映像信号を対応する画素に正確なタイミングで表示するために、1画素に対して1クロックとなるようなマスタークロックMCK 1を用いて映像信号を制御しているが、LCDそのものの駆動用タイミングは必ずしも厳格な精度を必要としないので、このような設定を行うことが可能だからである。

【0013】信号生成部4は、カウント値35でLレベルからHレベルになり、カウント値70でHレベルからLレベルへ変化するような駆動信号を生成して、これを図示しないLCDに供給するようになっている。

【0014】これを一般式を用いて説明すると、従来、PLL回路1は、映像信号の水平同期信号に同期して、この映像信号の1画素分の時間を1クロックとするマスタークロックMCK 1を生成する。また、カウント回路2はマスタークロックMCK 1を $M \times N$ (M, N :自然数) カウントし、デコード回路3はカウント値 Xn をデコードして、信号生成部4はデコード値に基づいて駆動パルスを生成するようになっている。

【0015】これに対して、本発明では、上記駆動パルスと同様のものを生成すべく、PLL回路1は、上記マスタークロックMCK 1の $1/M$ の周波数であるマスタークロックMCK 2を生成する。カウント回路2は、マスタークロックMCK 2を N カウントする。デコード回路3は、 Xn/M (剰余は切り捨て、切り上げ、四捨五入等随時に処理可能とする。) をデコードする。そして、信号生成部4は、 Xn が M で割り切れる場合、通常の駆動パルスと全く同一の駆動パルスを生成することができる。

【0016】上述の実施の形態では、 $M=2$ とすること

により、所定の $1/2$ の周波数のマスタークロックで所定の駆動信号を生成することができる。

【0017】なお、ここでは図示しないが、映像信号の1画素分のマスタークロック (約65 MHz) を必要とする回路が内部又は外部に存在する場合には、マスタークロックを2倍にしておく回路に供給すればよい。

【0018】以上のように、本発明に係るタイミング信号発生装置は、マスタークロックの周波数を低く抑えることで、集積回路内部のゲートの消費電流が減少するので、集積回路の発熱量が抑えられ、許容損失の小さい小型のパッケージを用いることが可能になる。また、動作速度の速い微細プロセスを使わずに済むので、集積回路の価格を抑えることができる。さらに、マスタークロックの周波数を低く抑えることにより、マスタークロックの不要輻射がノイズとして映像信号に入り込むのを防止して、画質の良好な映像を提供することができる。

【0019】なお、本発明は、上述の実施の形態に限定されるものではなく、例えばLCDのみならずCRT等の他の表示装置に用いてもよいのは勿論である。

【0020】

【発明の効果】以上詳細に説明したように、本発明に係るタイミング信号発生装置によれば、映像信号の1画素分の時間を1クロックとする所定のマスタークロックより周波数の低いマスタークロックを用いることにより、高速のマスタークロックの使用の際に生じた不要輻射を防止するとともに、生産コストが低く、かつ省電力化を図ることができる。

【図面の簡単な説明】

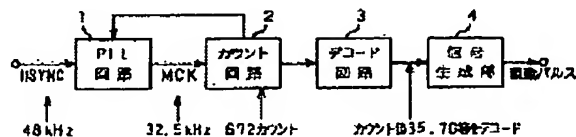
【図1】本発明に係るタイミング信号発生装置の構成を示すブロック図である。

【図2】タイミング信号発生装置におけるカウント値と従来のカウント値を比較する説明図である。

【符号の説明】

1 PLL回路、2 カウント回路、3 デコード回路、4 信号生成部

【図1】



(4)

特開平10-207415

【図2】

